

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-194641

(43)公開日 平成8年(1996)7月30日

(51)Int.Cl.<sup>8</sup>

G 0 6 F 12/02

識別記号

5 9 0 A

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数3 O L (全 10 頁)

(21)出願番号 特願平7-5259

(22)出願日 平成7年(1995)1月17日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72)発明者 森松 映史

神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(72)発明者 宮脇 克樹

神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(72)発明者 松田 喜一

神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(74)代理人 弁理士 古谷 史旺 (外1名)

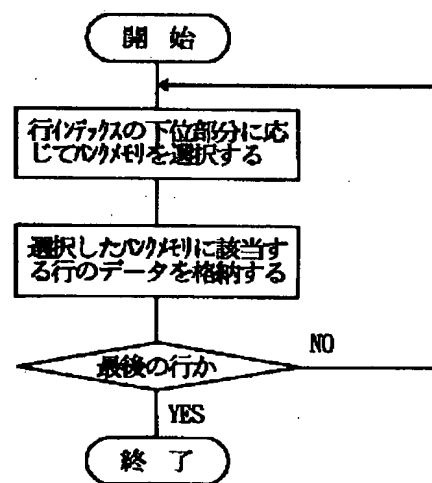
(54)【発明の名称】 同期DRAMへの2次元データ格納方法および同期DRAMアクセス制御装置

(57)【要約】

【目的】 同期DRAMにおいて、2次元データを高速にアクセス可能とする2次元データの格納方法を提供する。

【構成】 ロウアドレスとカラムアドレスとによって格納位置を指定する複数のバンクメモリと、ロウアドレスとカラムアドレスの入力に応じて、対応するバンクメモリに対するアクセス処理を行うアクセス処理手段とを備えた同期DRAMへの2次元データ格納方法において、2次元データを表す配列の各行について、配列における行番号を2進数で表す行インデックスの下位部分に応じて、複数のバンクメモリのいずれか1つを選択し、選択したバンクメモリの行インデックスの上位部分に対応するロウアドレスで示される領域に、配列における列番号を2進数で表す列インデックスに対応するカラムアドレスに対応して、該当する行に含まれる各データを格納する手順を繰り返す。

請求項1の2次元データ格納方法の原理を示す図



## 【特許請求の範囲】

【請求項 1】 ロウアドレスとカラムアドレスとによって格納位置を指定する複数のバンクメモリと、前記ロウアドレスと前記カラムアドレスの入力に応じて、対応するバンクメモリに対するアクセス処理を行うアクセス処理手段とを備えた同期DRAMへの 2 次元データ格納方法において、

2 次元データを表す配列の各行について、前記配列における行番号を 2 進数で表す行インデックスの下位部分に応じて、前記複数のバンクメモリのいずれか 1 つを選択し、選択したバンクメモリの前記行インデックスの上位部分に対応するロウアドレスで示される領域に、前記配列における列番号を 2 進数で表す列インデックスに対応するカラムアドレスに対応して、該当する行に含まれる各データを格納する手順を繰り返すことを特徴とする同期DRAMへの 2 次元データ格納方法。

【請求項 2】 ロウアドレスとカラムアドレスとによって格納位置を指定する複数のバンクメモリと、前記ロウアドレスと前記カラムアドレスの入力に応じて、対応するバンクメモリに対するアクセス処理を行う複数のアクセス処理手段とを備えた同期DRAMに対するアクセスを制御するアクセス制御装置において、2 次元データを表す配列の行番号を 2 進数で表す行インデックスの上位部分の入力に応じて、対応するロウアドレスを算出するロウアドレス算出手段と、前記 2 次元データを表す配列の列番号を 2 進数で表す列インデックスに応じて、対応するカラムアドレスを算出するカラムアドレス算出手段と、前記行インデックスの下位部分に応じて、前記複数のアクセス処理手段のいずれか一つを選択し、前記ロウアドレス算出手段および前記カラムアドレス算出手段で得られたロウアドレスおよびカラムアドレスを選択したアクセス処理手段に設定するアドレス設定手段とを備えたことを特徴とするアクセス制御装置。

【請求項 3】 請求項 2 に記載のアクセス制御装置において、ロウアドレス算出手段は、行インデックスの上位部分と所定のロウオフセットとを加算して、ロウアドレスを算出する構成であり、カラムアドレス算出手段は、列インデックスと所定のカラムオフセットとを加算して、カラムアドレスを算出する構成であることを特徴とするアクセス制御装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、同期DRAM(Dynamic Random Access Memory)において、2 次元データを高速にアクセス可能とする同期DRAMへの 2 次元データ格納方法およびこのデータ格納方法を実現する同期DRAMアクセス制御装置に関するものである。同期DRAMは、指定したロウ

アドレスに対応する各カラムのデータをクロックに同期して連続してアクセスすることができる構成となっており、次世代の大容量、高速アクセスメモリとして期待されている。

【0002】 近年では、様々な分野において画像などの 2 次元データを扱う機会が増えており、これに対応して、より高速に 2 次元データをアクセスすることを可能とする技術が必要とされている。

## 【0003】

10 【従来の技術】 従来は、画像などの 2 次元データを表す配列  $D_{ij}$  の列および行を単純に同期DRAMのカラムおよびロウをそれぞれ対応付けて、同期DRAMに格納していた。この場合は、配列  $D_{ij}$  においてデータが属する行を示す行インデックスおよびその行における位置を示す列インデックスに基づいて、ロウアドレスおよびカラムアドレスをそれぞれ算出し、同期DRAMへの格納処理に供すればよい。

20 【0004】 例えば、図 6 に示すように、列インデックスおよび行インデックスをそれぞれ加算器 301、302 に入力し、配列  $D_{ij}$  のメモリ同期DRAM内における基準位置を示すカラムオフセットおよびロウオフセットをそれぞれ加算して、同期DRAMのカラムアドレスおよびロウアドレスを算出すればよい。このように、配列  $D_{ij}$  の列および行と同期DRAMのカラムおよびロウをそのまま対応付けた場合には、上述したように、2 つの加算器 301、302 によってアドレス発生回路を構成することができる。

30 【0005】 ここで、同期DRAMは、図 6 に示すように、複数のバンクメモリを備えて構成されているが、上述した場合は、配列  $D_{ij}$  の内容は、同期DRAMの 1 つのバンクメモリ（例えばバンクメモリ 0）に配列  $D_{ij}$  における位置に対応して格納されることになる。この場合には、例えば、画像の縦方向および横方向がそれぞれロウおよびカラムの並び方向に一致しているから、直観的にも格納位置を把握しやすくなっている。

40 【0006】 この場合に、例えば、配列  $D_{ij}$  の  $k$  番目の行を同期DRAMに格納する場合は、上述したアドレス発生回路に行インデックスとして行番号  $k$  を入力し、列インデックスとして初期値「0」を入力すればよい。これに応じて、アドレス発生回路により、 $k$  番目の行を示すロウアドレス  $R1$  とその行の最初のデータを示すカラムアドレス  $C0$  とが得られ、アクセス制御部 303 に送出される。

50 【0007】 この場合に、アクセス制御部 303 は、まず、バンクメモリ 0 を示すバンク指定信号とロウアドレス  $R1$  とを組み合わせたアクセス指示と、バンクメモリ 0 を示すバンク指定信号とカラムアドレス  $C0$  とを組み合わせたアクセス指示とを順次に作成し、同期DRAM 310 に備えられた入力レジスタ 311 に入力する。これらのアクセス指示の入力に応じて、入力解釈部 312 は、図 7

(a) に示すように、まず、最初のアクセス指示で受け取ったロウアドレスR1をバンクメモリ0に対応するロウアドレスレジスタ313<sub>0</sub>に設定し、次のアクセス指示で受け取ったカラムアドレスC0をバンクメモリ0に対応するアドレスカウンタ314<sub>0</sub>に設定する。

【0008】これに応じて、アドレスカウンタ314<sub>0</sub>がクロック信号に同期した計数動作を開始し、これにより、配列D<sub>ij</sub>のk番目の行に含まれる各データに対応するカラムアドレスが順次にバンクメモリ0に設定される。したがって、バンクメモリ0を書込可能状態とするとともに、配列D<sub>ij</sub>のk番目の行に含まれる各データ(図7において、符号D0~Dnで示す)を順次にデータレジスタ315に設定していけば、クロック信号に同期して、これらのデータを連続的にバンクメモリ0に格納することができる。

【0009】このように、従来の同期DRAMのアクセス制御においては、ロウアドレスで指定される領域においては、クロック信号に同期して連続的なアクセスが可能であることを利用して、配列の指定した行に対する高速なアクセスを実現している。

#### 【0010】

【発明が解決しようとする課題】上述したように、2次元データを配列D<sub>ij</sub>における位置に対応して、同期DRAMの一つのバンクに格納する場合は、例えば、画像の1ラインに含まれる各画素に対応する画像データの読出/書込を行う場合のように、配列D<sub>ij</sub>の指定した行に含まれる含まれるデータを順次にアクセスする際には、同期DRAMの特徴を活用して高速なアクセスを実現することができる。

【0011】しかしながら、画像の縦方向に連続する各画素に対応する画像データの読出/書込を行う場合には、上述した同期DRAMの特徴を利用して連続してアクセスすることはできない。この場合は、アドレス発生回路でこれらの画素に対応するロウアドレスを順次に算出し、これに応じて、アクセス制御回路303において、図7(b)に示すように、1画素分の画像データ(図7において、符号d1~d4で示す)を読み出す毎に、ロウアドレスの設定動作を繰り返す必要がある。このため、ロウアドレスで指定されるバンクメモリの領域から該当する配列の行に含まれるデータを連続的に読み出す場合に比べて、アクセス速度が極端に遅くなってしまう。

【0012】同様に、図8(a)に示すような画像の4画素×4画素に対応する画像データ(図8(b)に符号(1)から符号(16)で示す)を読み出す場合においても、従来の方式では、図8(b)に示すように、カラム方向に連続した4画素(例えば符号(1)~符号(4))は高速にアクセスできるものの、次のロウアドレスに対応する4画素に対するアクセスの前に、ロウアドレスの切替え処理を行う必要がある。このため、このような4画素×4画素の領域の画像データの読出/書込に要する時間は、走査線

方向に並んだ同数の画素に対応する画像データの読出/書込に要する時間よりも大幅に長くなってしまっていた。

【0013】ところで、画像処理の分野では、1枚の画像を4画素×4画素あるいは8画素×8画素のブロックに分割し、これらのブロック毎に読み出して圧縮処理などの画像処理を行う場合が多く、また、読出処理に要する時間が、圧縮処理全体としての能率に大きな影響を与えている。このため、このように配列D<sub>ij</sub>において複数の行に跨がる領域のデータを高速にアクセスするための技法が必要とされている。

【0014】本発明は、同期DRAMを利用して、2次元データの複数行に跨がる領域に対応するデータの高速アクセスを実現する2次元データの格納方法およびこの格納方法を実現するための同期DRAMアクセス制御装置を提供することを目的とする。

#### 【0015】

【課題を解決するための手段】図1は、請求項1の2次元データ格納方法の原理を示す図である。請求項1の発明は、ロウアドレスとカラムアドレスとによって格納位置を指定する複数のバンクメモリと、ロウアドレスとカラムアドレスの入力に応じて、対応するバンクメモリに対するアクセス処理を行うアクセス処理手段とを備えた同期DRAMへの2次元データ格納方法において、2次元データを表す配列の各行について、配列における行番号を2進数で表す行インデックスの下位部分に応じて、複数のバンクメモリのいずれか1つを選択し、選択したバンクメモリの行インデックスの上位部分に対応するロウアドレスで示される領域に、配列における列番号を2進数で表す列インデックスに対応するカラムアドレスに対応して、該当する行に含まれる各データを格納する手順を繰り返すことを特徴とする。

【0016】図2は、請求項2のアクセス制御装置の原理ブロック図である。請求項2の発明は、ロウアドレスとカラムアドレスとによって格納位置を指定する複数のバンクメモリ101と、ロウアドレスとカラムアドレスの入力に応じて、対応するバンクメモリに対するアクセス処理を行う複数のアクセス処理手段102とを備えた同期DRAMに対するアクセスを制御するアクセス制御装置において、2次元データを表す配列の行番号を2進数で表す行インデックスの上位部分の入力に応じて、対応するロウアドレスを算出するロウアドレス算出手段111と、2次元データを表す配列の列番号を2進数で表す列インデックスに応じて、対応するカラムアドレスを算出するカラムアドレス算出手段112と、行インデックスの下位部分に応じて、複数のアクセス処理手段102のいずれか一つを選択し、ロウアドレス算出手段111およびカラムアドレス算出手段112で得られたロウアドレスおよびカラムアドレスを選択したアクセス処理手段102に設定するアドレス設定手段113とを備えたこ

とを特徴とする。

【0017】請求項3の発明は、請求項2に記載のアクセス制御装置において、ロウアドレス算出手段111は、行インデックスの上位部分と所定のロウオフセットとを加算して、ロウアドレスを算出する構成であり、コラムアドレス算出手段112は、列インデックスと所定のロウオフセットとを加算して、コラムアドレスを算出する構成であることを特徴とする。

【0018】

【作用】請求項1の発明は、行インデックスの下位部分10  
に  
に応じてバンクメモリを選択することにより、配列の各行のデータを複数のバンクメモリに分散して格納することができる。ところで、この同期DRAMは、複数のバンクメモリのそれぞれに対応してアクセス処理手段を備えているから、1つのバンクメモリに格納された配列のある行に対するアクセスの実行と並行して、別のバンクメモリに対応するアクセス処理手段にロウアドレスおよびコラムアドレスを設定し、次のアクセス処理に備えておくことができる。

【0019】これにより、上述したアクセス処理の終了後、直ちに、準備しておいたロウアドレスおよびコラムアドレスに基づいて、配列の次の行に対するアクセス処理を実行することが可能となり、配列において複数の行にまたがって分布しているデータに対する高速なアクセスを実現することができる。請求項2の発明は、行インデックスの下位部分10  
に  
に応じて、アドレス設定手段113が動作し、複数のアクセス処理手段102のいずれかに、ロウアドレス算出手段111およびコラムアドレス算出手段112で得られたロウアドレスおよびコラムアドレスを設定することにより、請求項1で述べた格納方法による2次元データを表す配列の格納を実現することができる。

【0020】これにより、1つのバンクメモリ101に格納された配列のある行に対するアクセスの実行と並行して、別のバンクメモリ101に対応するアクセス処理手段102にロウアドレスおよびコラムアドレスを設定し、次のアクセス処理に備えておくことができる。したがって、上述したアクセス処理の終了後、直ちに、準備しておいたロウアドレスおよびコラムアドレスに基づいて、配列の次の行に対するアクセス処理を実行することが可能となり、配列において複数の行にまたがって分布しているデータに対する高速なアクセスを実現することができる。

【0021】また、請求項3の発明は、所定のロウオフセットおよびコラムオフセットを設定しておくことにより、各バンクメモリ101において配列の一部が格納される位置を決めることができる。また、ロウアドレス算出手段111およびコラムアドレス算出手段112は、それぞれロウオフセットおよびコラムオフセットにインデックスの一部および列インデックスを単純に加算す

ることで、ロウアドレスおよびコラムアドレスを算出するので、簡易な回路構成でアクセス制御装置を構成することができる。

【0022】

【実施例】以下、図面に基づいて本発明の実施例について詳細に説明する。図3に、請求項2の同期DRAMのアクセス制御装置の実施例構成図を示す。この実施例においては、同期DRAMのロウアドレス幅を9ビット、コラムアドレス幅を9ビットとし、また、2次元配列 $D_{ij}$ に含まれる各データの位置を示すインデックス $i, j$ をそれぞれ8ビットで表すとともに、同期DRAMにおける2次元配列 $D_{ij}$ のロウ方向およびコラム方向の基準位置をそれぞれ9ビットのロウオフセットおよびコラムオフセットで示す場合について説明する。

【0023】図3において、アクセス制御装置は、図6に示したアドレス発生回路と同様に、2つの加算器201, 202を備えて構成されており、8ビットの列インデックスは、9ビットのコラムオフセットとともに加算器201に入力されており、この加算器201により、請求項3で述べたコラムアドレス算出手段112の機能を果たす構成となっている。

【0024】一方、8ビットの行インデックスは、上位部分（例えば上位7ビット）と下位部分（例えば下位1ビット）に分割され、上位部分は、9ビットのロウオフセットとともに加算器202に入力されており、この加算器202により、請求項3で述べたロウアドレス算出手段111の機能が果たされている。また、行インデックスの下位部分は、バンク指定信号として直接にアクセス制御部303に入力されている。

30 【0025】この場合は、行インデックスの最下位ビットに応じて、バンク指定信号が切り替えられるから、アクセス制御部303により、このバンク指定信号と加算器202, 201で得られるロウアドレスおよびコラムアドレスとをそれぞれ組み合わせることにより、バンクメモリ0とバンクメモリ1とをそれぞれ対象とするアクセス指示を交互に作成することができる。

【0026】このようにして作成されたアクセス指示は、同期DRAM310の入力レジスタ311を介して入力解釈部312に入力され、これに応じて入力解釈部312は、従来と同様の解釈処理を行えばよい。これにより、バンク指定信号に応じて、アクセス指示で指定されたロウアドレスおよびコラムアドレスをそれぞれロウアドレスレジスタ313<sub>0</sub> およびアドレスカウンタ314<sub>0</sub> あるいはロウアドレスレジスタ313<sub>1</sub> およびアドレスカウンタ314<sub>1</sub> に交互に設定することができる。

40 【0027】ここで、上述したロウアドレスレジスタ313<sub>0</sub> およびアドレスカウンタ314<sub>0</sub> は、バンクメモリ0に対応するアクセス処理手段102に相当するものであり、また、ロウアドレスレジスタ313<sub>1</sub> およびアドレスカウンタ313<sub>1</sub> は、バンクメモリ1に対応するア

クセス処理手段102に相当するものである。したがって、上述したように、アクセス制御部303および入力解釈部311がバンク指定信号に応じて動作することにより、アドレス設定手段113の機能を実現することができ、行インデックスの最下位ビットに応じて、同期DRAMのバンクメモリ0とバンクメモリ1とを切り替えることができる。

【0028】すなわち、配列 $D_{ij}$ において連続した2行のデータを、バンクメモリ0とバンクメモリ1とに振り分けることができ、請求項1で述べたデータの振り分けを実現することができる。ところで、上述したように、ロウアドレスレジスタ313<sub>0</sub>、313<sub>1</sub>およびアドレスカウンタ314<sub>0</sub>、314<sub>1</sub>は、それぞれ独立に動作可能である。

【0029】したがって、j番目の行に属するデータを示すロウアドレスおよびバンク指定信号とカラムアドレスとに基づいて、指定されたバンクメモリ（例えば、バンクメモリ0）に対するアクセスを実行している間に、入力解釈部312は、アクセス制御部303から次のj+1番目の行に属するデータについてのアクセス指示を受け取り、他方のバンクメモリ（例えばバンクメモリ1）に対応するロウアドレスレジスタ313およびアドレスカウンタ314に設定しておくことができる。

【0030】この場合は、j番目の行に属するデータに対するアクセスの終了後、直ちに、バンクメモリを切り替えて、j+1番目の行に属するデータに対するアクセスを実行することが可能である。以下、本発明の同期DRAMアクセス制御装置によるアクセス動作について、例えば、図4(a)に示すように、配列 $D_{ij}$ から4行4列の部分のデータ（図4(a)において符号(1)～(16)で示す）を読み出す場合を例として、詳細に説明する。

【0031】また、図5は、同期DRAMへのアクセス動作を表すタイミング図である。ここで、配列 $D_{ij}$ において、図4(a)に示した4行4列の部分の最初の1行が偶数番目の行（例えば、2n番目の行）である場合は、この部分のデータは、図4(b)に示すように、バンクメモリ0とバンクメモリ1とにおいて、数値nおよび数値n+1を示す行インデックスに対応するロウアドレスR1、R2で示される格納場所に列インデックスに対応するカラムアドレスに対応して格納されている。

【0032】この場合は、4行4列の部分の最初の1行を示す行インデックスおよびこの部分の左端を示す列インデックスの入力に応じて、アドレス発生回路により、ロウアドレスR1とバンクメモリ0を指定するバンク指定信号とカラムアドレスC1とが得られ、これらに基づいて、アクセス制御部303により、ロウアドレスを含んだアクセス指示とカラムアドレスを含んだアクセス指示とが順次で作成されて同期DRAM310に送出される。

【0033】これに応じて、入力解釈部312は、図5に示すように、クロック信号に同期して、バンクメモリ

0に対応するロウアドレスレジスタ313<sub>0</sub>およびアドレスカウンタ314<sub>0</sub>に順次にロウアドレスR1およびカラムアドレスC1を設定し、バンクメモリ0を読み出可能状態とすればよい。これに応じて、図5に示すように、バンクメモリ0の該当する領域から順次に4つのデータ（図5において、符号(1)～(4)で示す）が読み出され、データレジスタ315を介して出力される。

【0034】また、この読出動作と並行して、アドレス発生回路により、4行4列の部分の次の1行を示す行インデックスおよび列インデックスに基づいて、ロウアドレスR1とバンクメモリ1を示すバンク指定信号とカラムアドレスC1とが生成され、これらに基づいて、アクセス制御部303により、ロウアドレスを含んだアクセス指示とカラムアドレスを含んだアクセス指示とが順次で作成されて同期DRAM310に送出される。

【0035】これに応じて、入力解釈部311は、図5に示すように、今度はバンクメモリ1に対応するロウアドレスレジスタ312<sub>1</sub>およびアドレスカウンタ313<sub>1</sub>に順次にロウアドレスR1およびカラムアドレスC1を設定し、バンクメモリ1を読み出可能状態とすればよい。これに応じて、図5に示すように、バンクメモリ0からの読出動作の終了後、直ちに、バンクメモリ1の該当する領域から順次に4つのデータ（図5において、符号(5)～(8)で示す）が読み出され、データレジスタ315を介して出力される。

【0036】同様にして、ロウアドレスR2を含んだアクセス指示に応じて入力解釈部312が動作することにより、図4(a)において符号(9)～符号(16)で示したデータも連続して読み出すことができる。すなわち、本発明によれば、2次元配列 $D_{ij}$ において複数の行にまたがって分布しているデータを同期DRAMに連続して書き込み、また、連続して読み出すことができる。

【0037】これにより、4画素×4画素や8画素×8画素などのブロック状の領域を高速にアクセスすることが可能となるから、画像処理分野で必要とされている高速メモリを実現し、画像処理の高速化に寄与することができる。また、従来と同様に、ロウアドレスおよびカラムアドレスを2つの加算器201、202によって発生することができるから、アドレス発生回路の構成が複雑となることはない。

【0038】

【発明の効果】以上説明したように本発明は、2次元データを行インデックスの下位部分に応じて、同期DRAMに備えられた複数のバンクメモリに振り分けて格納することができるので、1つのバンクメモリに対するアクセスの実行中に、別のバンクメモリに対応するアクセス処理手段に次にアクセスするデータを示すロウアドレスおよびカラムアドレスを設定しておくことが可能である。これにより、1つのバンクメモリに対するアクセスの終了後、直ちに別のバンクメモリに対するアクセスを開始

し、次の行に属するデータの読出／書込動作を連続して行うことができるから、配列において複数の行にまたがって分布するデータに対するアクセス処理を大幅に高速化することが可能となり、特に、画像処理分野における効果が期待できる。

【図面の簡単な説明】

【図 1】請求項 1 の 2 次元データ格納方法の原理を示す図である。

【図 2】請求項 2 のアクセス制御装置の原理ブロック図である。

【図 3】請求項 2 のアクセス制御装置の実施例構成図である。

【図 4】本発明による配列格納処理を説明する図である。

【図 5】アクセス動作を表すタイミング図である。

【図 6】従来のアクセス制御装置の構成例を示す図である。

【図 7】従来のアクセス動作を表すタイミング図である。

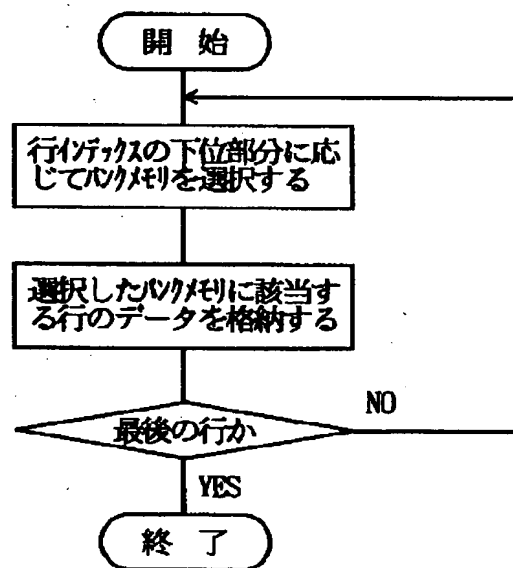
【図 8】従来のアクセス制御動作を説明する図である。

【符号の説明】

- |                    |             |
|--------------------|-------------|
| 101                | バンクメモリ      |
| 102                | アクセス処理手段    |
| 111                | ロウアドレス算出手段  |
| 112                | カラムアドレス算出手段 |
| 113                | アドレス設定手段    |
| 201, 202, 301, 302 | 加算器         |
| 303                | アクセス制御部     |
| 310                | 同期DRAM      |
| 311                | 入力レジスタ      |
| 312                | 入力解釈部       |
| 313                | ロウアドレスレジスタ  |
| 314                | アドレスカウンタ    |
| 315                | データレジスタ     |

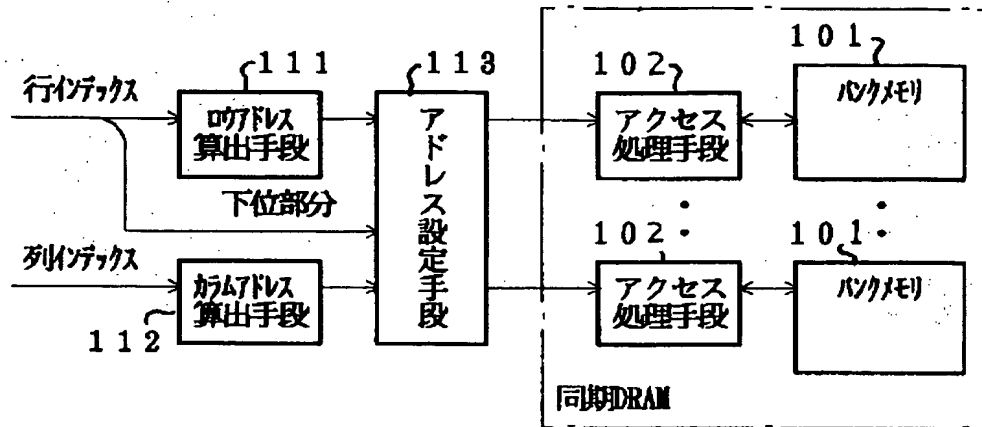
【図 1】

請求項 1 の 2 次元データ格納方法の原理を示す図



【図 2】

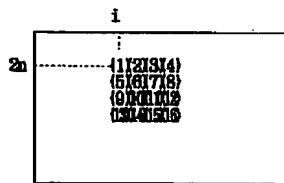
請求項 2 のアクセス制御装置の原理ブロック図



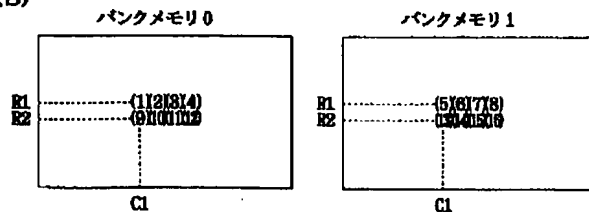
【図 4】

本発明による配列格納処理を説明する図

(a)

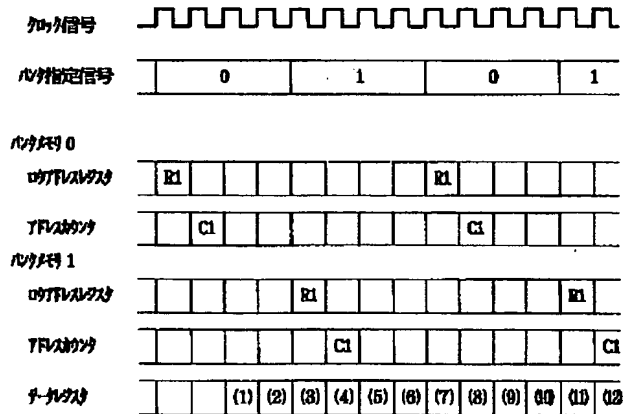


(b)



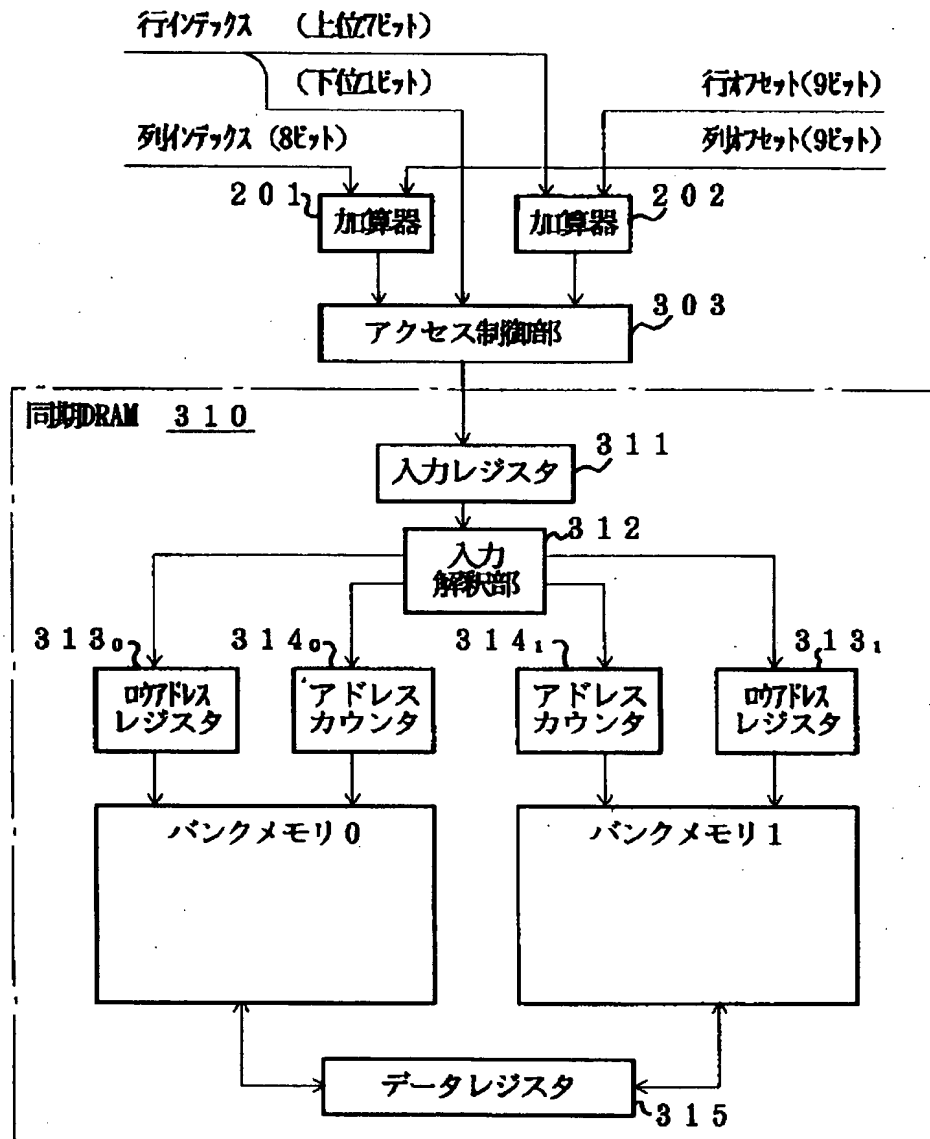
【図 5】

アクセス動作を表すタイミング図



【図3】

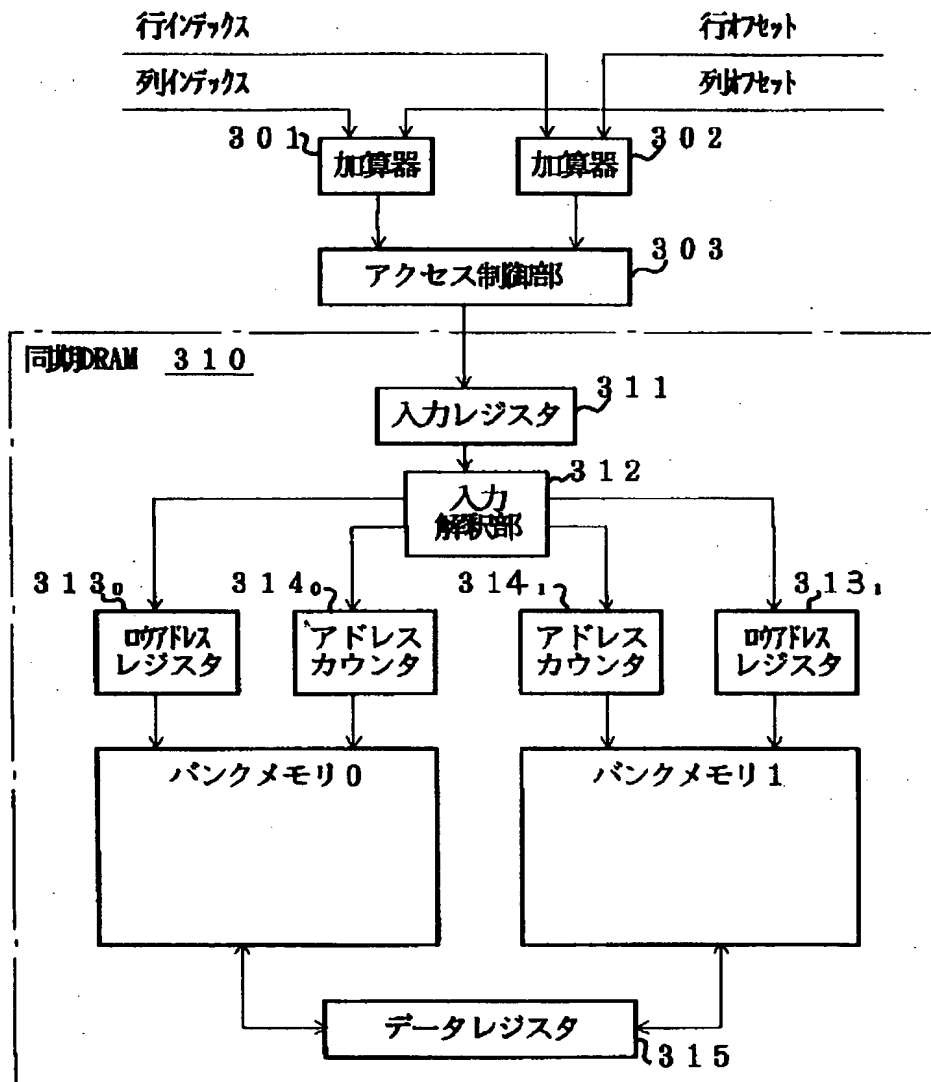
## 請求項2のアクセス制御装置の実施例構成図





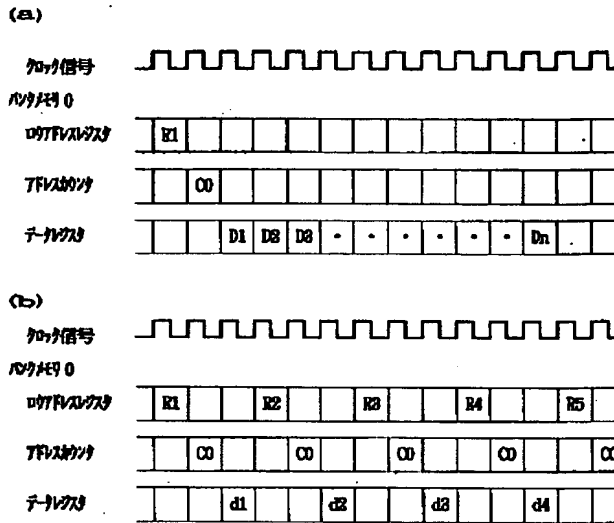
【図 6】

従来のアクセス制御装置の構成例を示す図



【図 7】

従来のアクセス動作を表すタイミング図



【図 8】

従来のアクセス制御動作を説明する図

